

# VH ELECTRONICS

Tel./Fax: +421 42 4434050, 4431140

e-mail: [elcad-vh@psg.sk](mailto:elcad-vh@psg.sk)

Sady Cyrila a Metoda 21/14  
018 51 Nová Dubnica  
SLOVENSKÁ REPUBLIKA

Výrobca: STE s.a.s. ELETTRONICA TELECOMUCAZIONI

## 860-870 MHz AUDIO PRIJÍMAČ S PLL A DEKÓDEROM PILOTNÉHO TÓNU

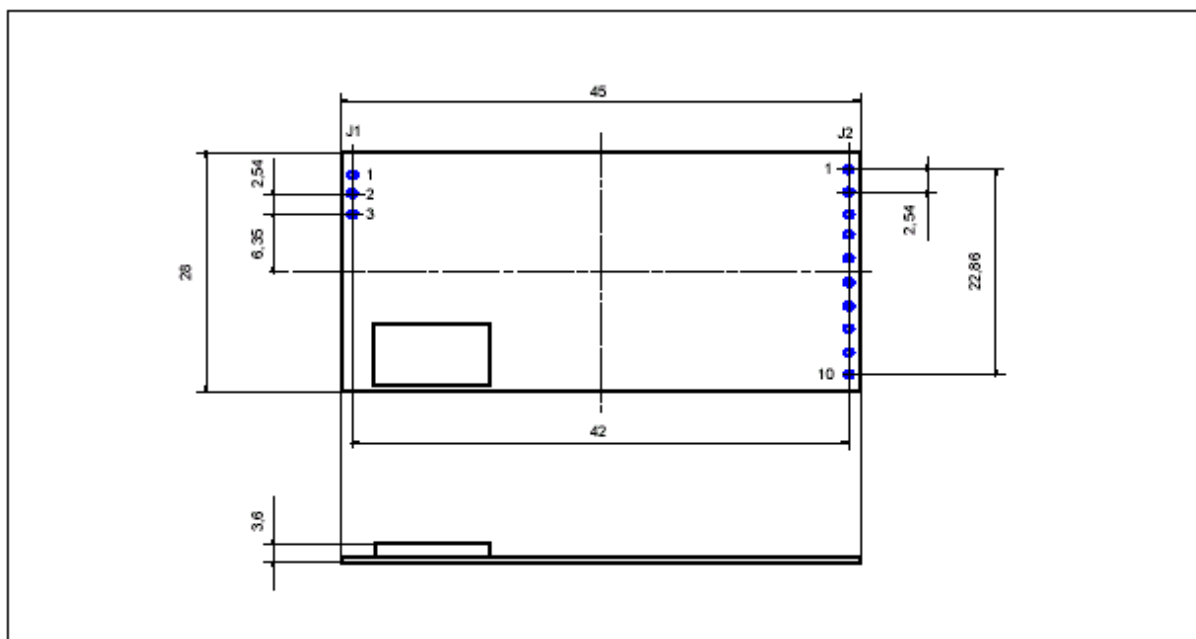
<b>BR88V3</b>	<b>3Vcc modul audio prijímača ( 3V interfejs )</b>
<b>BR88V5</b>	<b>5Vcc modul audio prijímača ( 5V interfejs )</b>



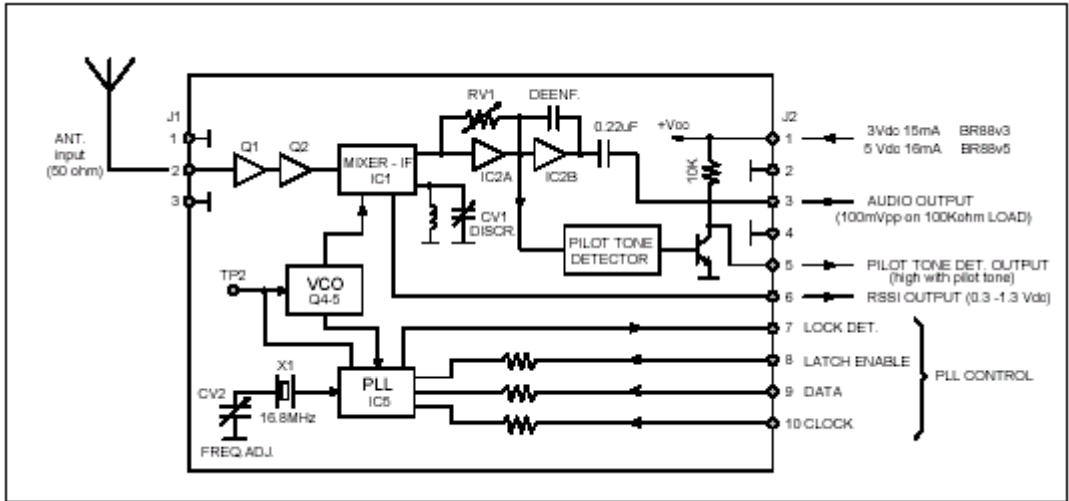
## Technické parametre

Frekvenčný rozsah	.....	860-870 MHz (1)
Citlivosť	.....	-100 dBm (20 dB SINAD)
Selektivita	.....	$\pm 140$ kHz
Modulácia	.....	FM (zdvih $\pm 30$ kHz max.)
Audio výstupu	.....	30 mV <sub>RMS</sub> (100 mV <sub>pp</sub> pri 100 kohm záťaži)
Audio rozsah	.....	100 - 8000 Hz
RDS data výstup	.....	200 Baud max. (PL-tón)

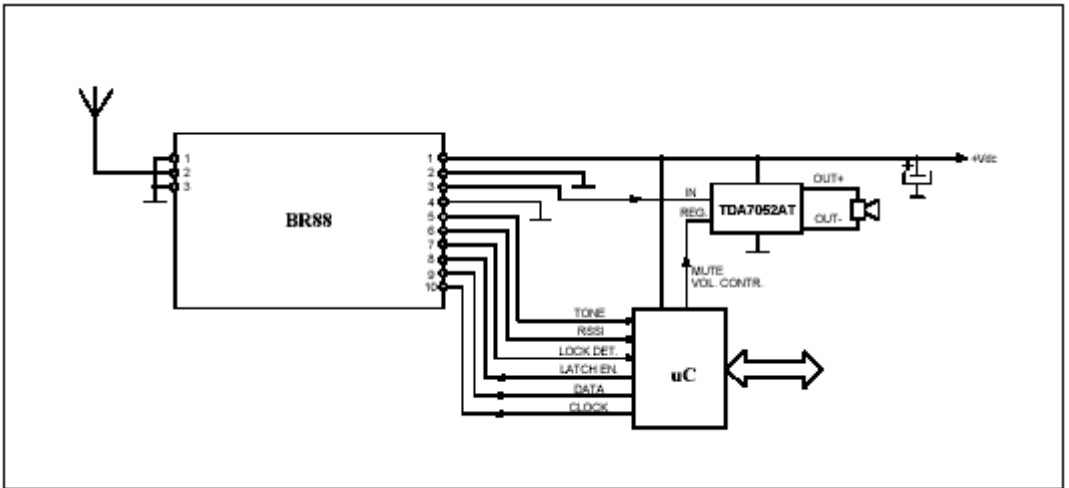
Poz (1): 863-865MHz audio rádiové pásmo podľa CEPT ERC REC 70-03 príloha 13



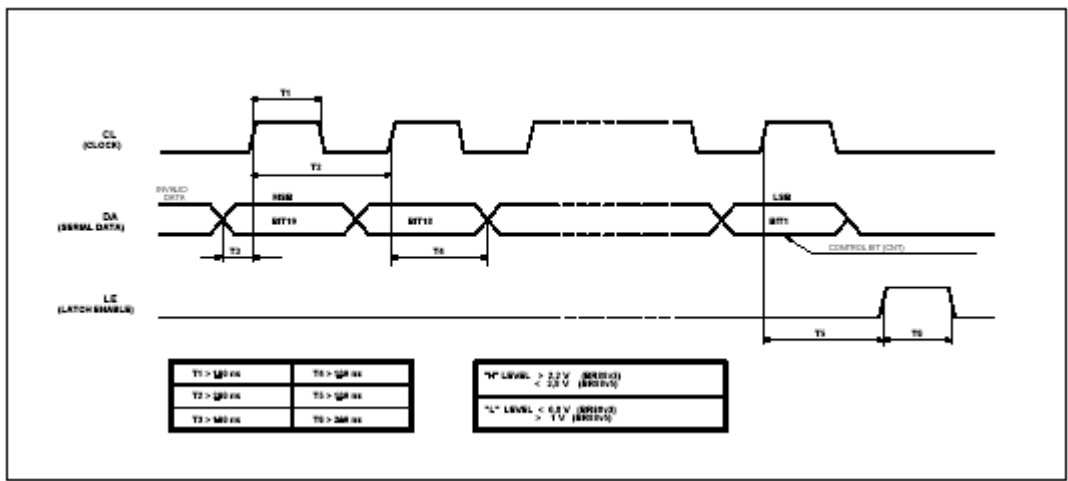
Obr.1: Mechanické rozmery



Obr.2: Bloková schéma



Obr. 3: Praktické pripojenie prijímača BR88



## PROGRAMOVANIE FREKVENCIE

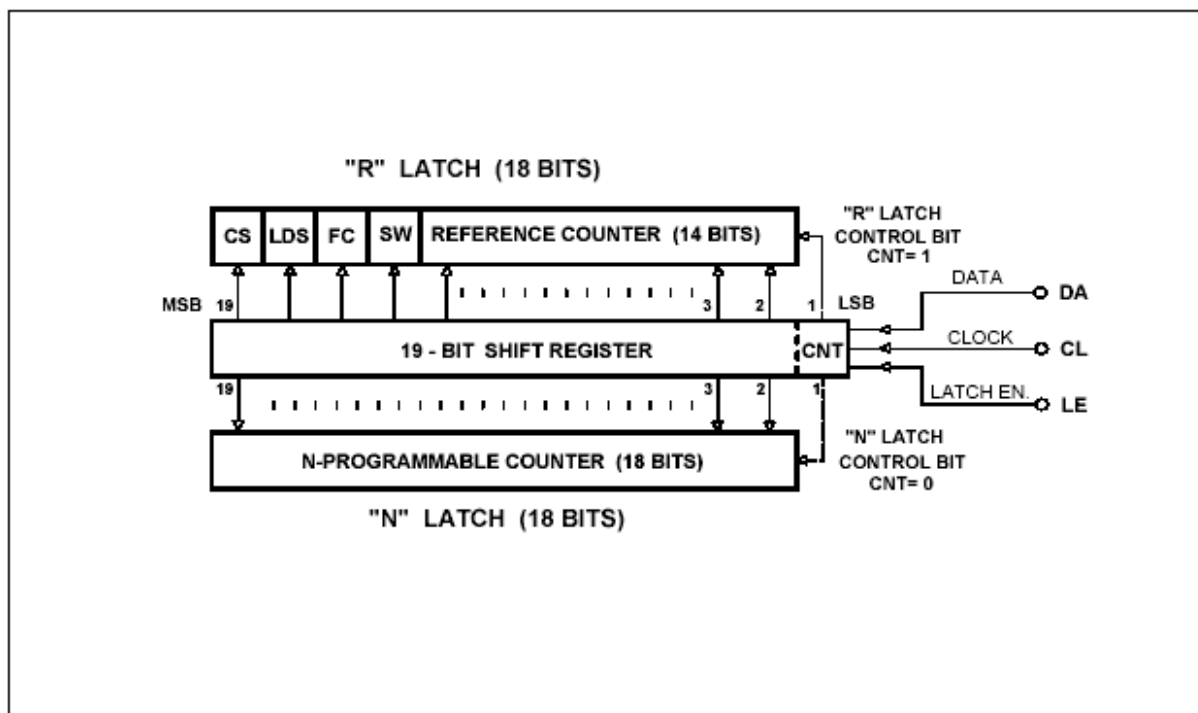
### 1) "PLL" frekvenčný syntetizér

Pre local-oscilátor prijímača je použité „VCO“ (napäťovo riadený oscilátor) s nízkou úrovňou šumu. Jeho frekvenciu riadi fázový záves „PLL“ s IO Fujitsu MB15E03SL s referenčným kryštálovým oscilátorom 16.800 MHz.

### 2) Popis sériového interfejsu

Nastavenie frekvencie - ovládanie IO „PLL“ je možné pomocou 3-vodičového sériového interfejsu (DATA, CLOCK, LATCH EN pozri obr. 2). Dáta sú zapísané do 19-bitového posuvného registra (obr.5) na vzostupnú hranu signálu z „CL“ (hodín). Ako prvý ide MSB. Potom sú prepisované do príslušného 18-bitového registra na vzostupnú hranu impulzu z „LE“ (latch enable) v závislosti na hodnote „CNT“ (control bit).

Register "R" je načítaný, ak "CNT" bit je nastavený na "1" a register "N" je načítaný ak "CNT" = 0. Frekvencia bude naprogramovaná po zapísaní obidvoch 19-bitových slov do „R“ a „N“ registra.



Obr. 4: Interný register PLL a registre

3) Parametre frekvenčného syntetizéra

PLL IC	: Fujitsu MB15E03SL
Referenčná frekvencia	: 16.800 MHz
Programovateľný frekvenčný krok	: 50 kHz
"SW" bit ( bit 16 z "R" slova) = 1	: Deliaci pomer = 64/65
"FC" bit ( bit 17 z "R" slova) = 1	: Fázový komparátor pozitívny výstup
"LDS" bit ( bit 18 z "R" slova) = 0	: Detekcia zachytenia PLL
"CS" bit ( bit 19 z "R" slova) = 1	: Dobíjacia pumpa prúd=6mA

4) Slovo "R"

Bit 1 (CNT) musí byť nastavený na "1".

Bity 2 až 15 sú "R" číslo

Bity 16 až 19 sú "SW", "FC", "LDS" a "CS" bity.

"R" je hodnota, ktorá je vypočítaná do PLL referenčnej deličky a to podelením referenčnej frekvencie (16 800 kHz) s požadovaným minimálnym programovacím frekvenčným krokom.

Príklad pre 50 kHz frekvenčný krok:

$$R = 16800 / 50 = 336 \quad (150H)$$

R word - example																			
Frequency step = 50 kHz ( "R" = 150H )																			
"CS" = 1 ( PLL charge - pump current = 6 mA)																			
"R" word																			
<div style="display: flex; justify-content: space-between; align-items: center;"> <span>MSB</span> <span>← SHIFT</span> <span>LSB</span> </div>																			
19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	
1	0	1	1	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	1
CS		LDS		FC		SW		R											CNT

5) N-slovo

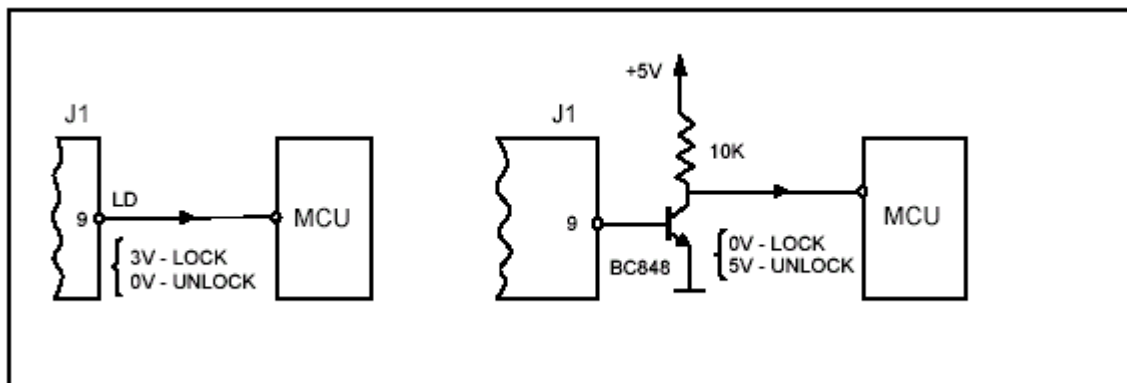
Bit 1(CNT) musí byť "0".  
 Bity 2 až 19 sú "N" číslo.

Hodnotu "N" vypočítame delením prijímacej frekvencie mínus 10 700 kHz ( IF medzifrekvencia) a frekvenčným krokom.

<b>N word - example</b>																																																												
Receiver frequency = 863.250 MHz "N" = $863250 - 10700 / 50 = 17051$ (429BH)																																																												
"N" word	<table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left;">MSB</th> <th>19</th><th>18</th><th>17</th><th>16</th><th>15</th><th>14</th><th>13</th><th>12</th><th>11</th><th>10</th><th>9</th><th>8</th><th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>LSB</th> </tr> </thead> <tbody> <tr> <td></td> <td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td> </tr> <tr> <td></td> <td colspan="18" style="text-align: center;"> <span style="display: inline-block; width: 100%; border-top: 1px solid black; position: relative;"> <span style="position: absolute; left: 50%; top: -5px;">N</span> </span> </td> </tr> </tbody> </table> <div style="margin-top: 5px; text-align: center;"> <span style="font-size: small;">← SHIFT (*)</span> </div>	MSB	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	LSB		0	0	1	0	0	0	0	1	0	1	0	0	0	1	1	0	1	1	0		<span style="display: inline-block; width: 100%; border-top: 1px solid black; position: relative;"> <span style="position: absolute; left: 50%; top: -5px;">N</span> </span>																	
MSB	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	LSB																																									
	0	0	1	0	0	0	0	1	0	1	0	0	0	1	1	0	1	1	0																																									
	<span style="display: inline-block; width: 100%; border-top: 1px solid black; position: relative;"> <span style="position: absolute; left: 50%; top: -5px;">N</span> </span>																																																											
<i>Note (*) : Bit n.8 is fixed to "0" and ignored.</i>																																																												

## Výstup zachytenia PLL – Lock detect (LD-J2 pin č.7)

Počas normálnej činnosti je "PLL" zachytené na správnej - naprogramovanej frekvencii a LD výstup je na úrovni H (+3V).



Obr. 6 Praktické pripojenie LD (lock detect) k MCU.

Počas normálnej činnosti nie je potrebné prevádzka kontrolu stavu "UNLOCK". Stav "UNLOCK" - nezachytenie fázového závesu je vhodné kontrolovať v priebehu dlhých periód s priebežným príjmom. Postačujúce je testovanie s periódou 100ms alebo viac. Nie je vhodné testovať LD počas programovania "PLL".

